

TITEL

Supersnelle runtime-herconfiguratie eindelijk binnen handbereik

AUTEURS

Dirk Stroobandt en Karel Bruneel
Universiteit Gent, vakgroep Elektronica en Informatiesystemen

LEAD

Herconfiguratie van FPGA's tijdens de werking (at runtime) is reeds enige tijd technisch mogelijk. Toch wordt die mogelijkheid in de praktijk zeer weinig gebruikt in de industrie omdat het aanmaken van elke gespecialiseerde implementatie veel te veel tijd in beslag neemt. De Universiteit Gent ontwikkelde een methode om, voor een grote set van toepassingen, af en toe variërende parameters aan te passen tijdens de werking en hiervoor toch een geoptimaliseerde hardwareoplossing aan te bieden. De methode kan vijf grootteordes sneller een nieuw ontwerp aanmaken dan de klassieke technieken zonder veel kwaliteitsverlies. Tegenover een generieke (statisch geïmplementeerde) oplossing is onze oplossing wel 2,3 keer kleiner en 36% sneller. Deze nieuwe ontwikkeling maakt runtime-herconfiguratie plots wel mogelijk voor een brede waaier aan toepassingen.

HOOFDTEKST

FPGA's (Field Programmable Gate Arrays) bestaan uit enkele duizenden tot meer dan 200.000 logische elementen in de nieuwste Xilinx Virtex-5-reeks [REFERENTIE: Xilinx Virtex-5 datasheets, <http://www.xilinx.com>] (figuur [FOTO VAN DE WAFER]). Elk van deze logische elementen (LUT's - Look Up Tables) kan iedere mogelijke functie van vier variabelen bevatten (in de Virtex-5 voor het eerst ook van 6 variabelen). Uit al deze functies kiezen we voor elke LUT exact één exemplaar door vóór het gebruik van de FPGA de gepaste rij bits in de component in te lezen waardoor de configuratie (en dus de functie) van de FPGA bepaald wordt. Diezelfde bitrij bepaalt ook hoe de LUT's met elkaar verbonden worden. Ook de verbindingen zijn immers configureerbaar door aan te geven of een connectie wel (logische 1) of niet (logische 0) gemaakt wordt. Nadat de FPGA een tijdje gewerkt heeft in de huidige configuratie, kunnen we die configuratie gemakkelijk wijzigen door een nieuwe bitrij in te lezen. Dit noemen we herconfigureren. In de gangbare praktijk gebeurt het herconfigureren maar zeer zelden omdat het aanmaken van de herconfiguratiebitrij zeer lang duurt.

Runtime-herconfiguratie

Herconfiguratie van FPGA's tijdens de werking (at runtime) is reeds enige tijd technisch mogelijk. Vooral de introductie van partiële herconfiguratie door Xilinx in 2002 heeft de universiteiten heel wat nieuwe onderzoekspaden doen opstarten rond runtime-herconfiguratie. Toch heeft de industrie deze mogelijkheid niet omgezet naar concrete toepassingen in de praktijk. Laat ons de reden hiervoor eens van naderbij bekijken aan de hand van een voorbeeld.

We beschouwen een 16-wegs FIR-filter zoals in figuur [FIGUUR FIR-filter]. Hierbij worden 8-bits ingangssignalen gefilterd door ze per 16 met 16 afzonderlijke coëfficiënten (van 8 bits elk) te vermenigvuldigen en de resultaten op te tellen. Het ingangssignaal verandert voortdurend van waarde maar de coëfficiënten blijven lange tijd gelijk tot wanneer een gelijkaardig filter met een andere karakteristiek (en dus andere coëfficiënten) nodig is. Er zijn nu typisch twee manieren om dit filter te implementeren op een FPGA:

- 1) Aangezien de coëfficiënten in de tijd kunnen veranderen beschouwen we hen ook als ingangen van het filter en we bouwen een generieke implementatie van het filter dat alle filteroperaties voor alle

The remainder of this paper is not included as this paper is copyrighted material. If you wish to obtain an electronic version of this paper, please send an email to bib@elis.UGent.be with a request for publication P108.073.pdf.
